

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-098529

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H02M 1/08
H03F 3/26

(21)Application number : 05-052482

(71)Applicant : SGS THOMSON MICROELETTRONICA SPA

(22)Date of filing : 12.03.1993

(72)Inventor : GARIBOLDI ROBERTO
LEONE MARCELLO

(30)Priority

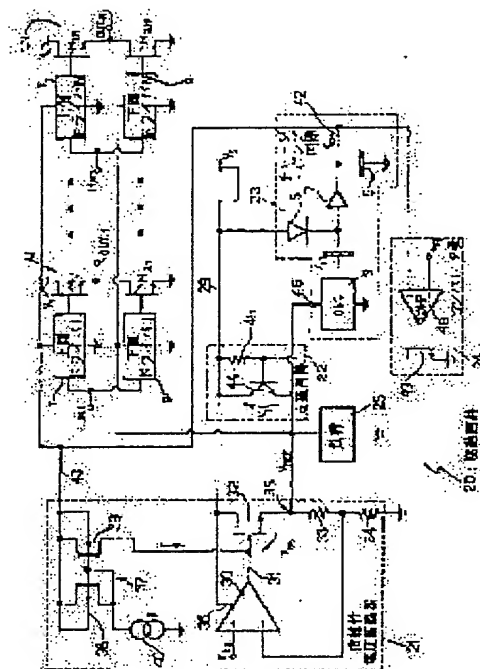
Priority number : 92 92830119 Priority date : 12.03.1992 Priority country : EP

(54) DRIVER CIRCUIT FOR MOS HALF BRIDGE

(57)Abstract:

PURPOSE: To obtain a driver circuit operating a MOS half bridge, even at a low supply voltage.

CONSTITUTION: A driver circuit 20 has a linearity voltage regulator 21 which is connected to a power-supply line 29 and supplying reference voltage VREF, a first input terminal 36 connected with the power supply line 29, a second input terminal 46, to which a reference voltage is applied, and a charge-pump circuit 23 having an output terminal 42 for supplying a drive voltage VCP.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-98529

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

H02M 1/08

H03F 3/26

識別記号

庁内整理番号

A 8325-5H

8522-5J

FI

技術表示箇所

審査請求 未請求 請求項の数14(全 9 頁)

(21)出願番号 特願平5-52482

(22)出願日 平成5年(1993)3月12日

(31)優先権主張番号 92830119.1

(32)優先日 1992年3月12日

(33)優先権主張国 イタリア(IT)

(71)出願人 592253644

エスジーエーストムソン・マイクロエレクトロニクス・ソチエタ・ア・レスボンサビリタ・リミタータ

SGS-THOMSON MICROELECTRONICS S:R:L:

イタリア国、20041 アグラテ・ブリアンツァ、ヴィア・チ・オリヴェッティ 2

(72)発明者 ロベルト・ガリボルディ

イタリア国、20084 ラッキアレッラ、ヴィア・パラッカ 6/3

(74)代理人 弁理士 曾我 道照 (外6名)

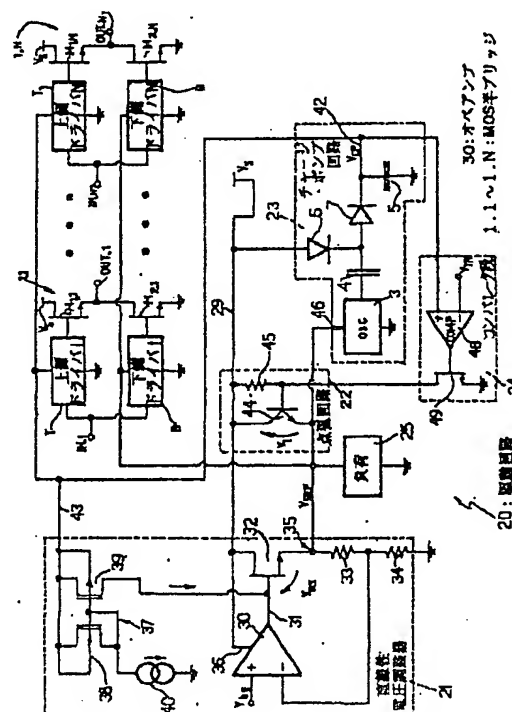
最終頁に続く

(54)【発明の名称】 MOS半ブリッジの駆動回路

(57)【要約】

【目的】 低い電源電圧でさえMOS半ブリッジを作動させられる駆動回路を得る。

【構成】 この発明の駆動回路(20)は、電源ライン(29)に接続され、基準電圧 V_{REF} を供給する直線性電圧調整器(21)と、前記電源ラインに接続される第1の入力端子、前記基準電圧が印加される第2の入力端子(46)、及びドライブ電圧 V_{CP} を供給する出力端子(42)を有するチャージ・ポンプ回路(23)とを備えている。



1

【特許請求の範囲】

【請求項 1】 MOS 半ブリッジ(1.1~1.N)、特に電力用 MOS 半ブリッジの駆動回路(20)であって、第 1 の基準電位(V_s)に設定された第 1 の基準電位ライン(29)と、第 2 の基準電位(V_{s1})を供給する出力端子(35)を有する電圧発生回路(21)と、前記第 1 の基準電位ライン(29)に接続される第 1 の入力端子及び前記電圧発生回路(21)の出力端子(35)に接続された第 2 の入力端子(46)、並びに正常な動作状態では前記第 1 の基準電位(V_s)よりも高く且つ前記第 2 の基準電位(V_{s1})と共に増加するドライブ電位(V_{c1})を供給する出力端子(42)を有する昇圧回路(23)とを備えたものにおいて、前記電圧発生回路(21)は、前記昇圧回路(23)の出力端子(42)に接続された入力端子を有し且つ前記ドライブ電位(V_{c1})の増大につれて前記第 2 の基準電位(V_{s1})を最高の正常動作値まで増加するための正帰還手段(43, 31)を備えていることを特徴とする MOS 半ブリッジの駆動回路。

【請求項 2】 前記電圧発生回路(21)は、前記昇圧回路(23)の出力端子(42)に接続された入力端子を有する電圧調整器(30~34)を備えていることを特徴とする請求項 1 の MOS 半ブリッジの駆動回路。

【請求項 3】 前記電圧調整器(30~34)は、前記昇圧回路(23)の出力端子(42)に接続される制御端子、及び前記電圧発生回路(21)の出力端子(35)を定める出力端子を有する出力トランジスタ手段(32)を備えていることを特徴とする請求項 2 の MOS 半ブリッジの駆動回路。

【請求項 4】 前記出力トランジスタ手段(32)は、MOS トランジスタであって、そのゲート端子が前記昇圧回路(23)の出力端子(42)に接続され、そのソース端子が前記出力端子(35)を定め、且つそのドレイン端子が前記第 1 の基準電位ライン(29)に接続されたことを特徴とする請求項 3 の MOS 半ブリッジの駆動回路。

【請求項 5】 前記電圧調整器(30~34)はオペアンプ(30)を備え、その非反転入力端子には第 3 の基準電位(V_b)が印加され、その反転入力端子が抵抗帰還回路(33, 34)を介して前記出力端子(35)に接続され、その出力端子(31)が前記出力トランジスタ(32)の制御端子に接続され、前記抵抗帰還回路(33, 34)が又第 3 の基準電位ライン(アース)に接続されたことを特徴とする請求項 3 又は請求項 4 の MOS 半ブリッジの駆動回路。

【請求項 6】 前記電圧発生回路(21)の出力端子(35)と前記昇圧回路(23)の出力端子(42)との間にカレント・ミラー回路(37)を設けたことを特徴とする請求項 2 ないし 5 のいずれかの MOS 半ブリッジの駆動回路。

【請求項 7】 前記第 1 の基準電位ライン(29)と前記昇圧回路(23)の第 2 の入力端子(46)との間に点弧回路(22, 22')を設けたことを特徴とする請求項 1 ないし 6 のいずれかの MOS 半ブリッジの駆動回路。

【請求項 8】 前記点弧回路(22, 22')はトランジスタ手段(44; 53, 54)を備え、その第 1 の端子が前記第 1 の基準

2

電位ライン(29)に接続され、その第 2 の端子(制御端子)が抵抗手段(45)を介して前記第 1 の基準電位ライン(29)に接続され、且つその第 3 の端子が前記昇圧回路(23)の第 2 の入力端子(46)に接続されたことを特徴とする請求項 7 の MOS 半ブリッジの駆動回路。

【請求項 9】 前記トランジスタ手段がバイポーラ・トランジスタ(44)であることを特徴とする請求項 8 の MOS 半ブリッジの駆動回路。

【請求項 10】 前記トランジスタ手段が縦続接続された 2 個のバイポーラ・トランジスタ(53, 54)である請求項 8 の MOS 半ブリッジの駆動回路。

【請求項 11】 前記点弧回路(22, 22')の制御端子に接続され、前記駆動回路(20)が正常な動作状態に達する前に、前記点弧回路をターンオフするためのスイッチ手段(24)を備えていることを特徴とする請求項 7 ないし 9 のいずれかの MOS 半ブリッジの駆動回路。

【請求項 12】 前記スイッチ手段はコンパレータ段(24)であり、その第 1 の入力端子が前記昇圧回路(23)の出力端子(42)に接続され、その第 2 の入力端子に閾値電位(V_{th})が印加され、且つその出力端子が前記点弧回路(22, 22')の制御端子に接続されたことを特徴とする請求項 11 の MOS 半ブリッジの駆動回路。

【請求項 13】 昇圧回路(23)がチャージ・ポンプ回路である請求項 1 ないし 12 のいずれかの MOS 半ブリッジの駆動回路。

【請求項 14】 前記チャージ・ポンプ回路(23)は、前記電圧発生回路(21)の出力端子(35)に接続された入力端子(46)を有する発振器(3)と、第 1 のコンデンサ(4)と、前記昇圧回路(23)の出力端子(42)と第 3 の基準電位ライン(アース)の間に接続された第 2 のコンデンサ(5)とを備え、前記発振器(3)の出力端子は前記第 1 のコンデンサ(4)の第 1 の端子に接続され、この第 1 のコンデンサ(4)の第 2 の端子は第 1 のダイオード(6)を介して前記第 1 の基準電位ライン(29)に接続されると共に第 2 のダイオード(7)を介して前記昇圧回路(23)の出力端子(42)に接続されることを特徴とする請求項 13 の MOS 半ブリッジの駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、MOS 半ブリッジ、特に電力用 MOS 半ブリッジの駆動回路に関するものである。

【0002】

【従来の技術】 電力用 MOS 半ブリッジは、一対の電力用 MOS トランジスタ、通常、図 1 に例示されているように N チャネル型でプッシュプルに接続された MOS トランジスタを備えている。図 1 は、2 個の MOS (代表的な例として VDMOS 即ち垂直方向に 2 重拡散された MOS) トランジスタ M_1 及び M_2 を備えている。トランジスタ M_1 (上側トランジスタ) はそのドレイン端子が

電源 V_s に接続され且つそのソース端子がトランジスタ M_1 （下側トランジスタ）のドレイン端子に接続され、そしてトランジスタ M_1 のソース端子はアースされている。トランジスタ M_1 、 M_2 のゲート端子はそれぞれ上側ドライバT、下側ドライバBに接続されている。これらドライバにはドライブ信号を発生させるための同期入力信号INが印加され、ドライブ信号によりトランジスタ M_1 と M_2 の一方がオンの時に他方のトランジスタがターンオフされる。

【0003】半ブリッジ1の出力端子は信号 V_{out} を発生し、この信号 V_{out} の振幅は $R_{DSON1} \times I$ （ただし、 R_{DSON1} は飽和時のトランジスタ M_1 のドレインとソースの間の等価抵抗であり、そしてIは出力電流である。）と $V_s - R_{DSON1} \times I$ （ただし、 R_{DSON1} は飽和時のトランジスタ M_1 のドレインとソースの間の等価抵抗である。）とに切り換わる。

【0004】半ブリッジ1では、トランジスタ M_1 と M_2 のどちらかがオンである時に低い電圧降下従って高い信号即ち出力電圧 V_{out} を得ようとすれば、トランジスタを高いゲート・ソース電圧（ V_{gs} ）、代表的な例では約10V（これは飽和抵抗 R_{DSON} を最適にする）で駆動しなければならない。

【0005】このような高い電圧はトランジスタ M_1 についてはどんな困難もなく通常得られ、電源電圧から得られる基準電圧を使用すれば良い。しかしながら、トランジスタ M_1 の場合には事情はもっと複雑で、10V + V_{out} 即ち10V + $V_s - R_{DSON1} \times I$ のドライブ電圧を必要とし、これは電源電圧 V_s よりも高い。

【0006】この問題を効率良く解決するために、チャージ・ポンプ回路即ち電圧2倍回路を使用する。このチャージ・ポンプ回路は、電源電圧 V_s よりも高い電圧を供給し且つ1個以上の半ブリッジを駆動する。このようなチャージ・ポンプ回路2の簡単化された図が図2に示されている。

【0007】チャージ・ポンプ回路2は、発振器（OSC）3、2個のコンデンサ4及び5、並びにダイオード6及び7から事実上構成されている。OSC3は基準電源 V_{ref} とアースに接続され、従ってその出力8は V_{ref} と0Vに連続して切り換わる。第1の半サイクルでは、出力8が0Vの時に、コンデンサ4はダイオード6を通して V_s まで充電されるが、第2の半サイクルでは、出力8が V_{ref} に等しい時に、コンデンサ4（OSC3に接続されていない端子9はアースに対して電圧 $V_{ref} + V_s$ に切り換わる）はその電荷をコンデンサ5へ転送する。第2の半サイクルでは、ダイオード6はコンデンサ4及び5を電源 V_s から切り離すが、コンデンサ4がコンデンサ5へ転送した電荷を回復する第1の半サイクルでは、ダイオード7はコンデンサ5をコンデンサ4及び電源 V_s から切り離す。

【0008】正常な動作状態では、もし V_{cr} がチャージ

・ポンプ回路2の出力電圧（ドライブ電圧）であり V_{be} がダイオード6及び7の電圧降下であるならば、

$$[0009] \quad V_{cr} = V_s - 2V_{be} + V_{ref} \quad \dots (1)$$

【0010】である。 $V_{be} = 0.7V$ 且つ $V_{ref} = 1.0V$ である特定例では、

$$[0011] \quad$$

$$V_{cr} = V_s - 1.4V + 1.0V \\ = V_s + 8.6V$$

【0012】である。

【0013】チャージ・ポンプ回路2は、従ってトランジスタ M_1 に十分な電圧降下 V_{gs} を確保するドライブ電圧を供給し、トランジスタ M_1 を効果的に飽和させる。

【0014】基準電圧 V_{ref} は、図3に示された回路10を使用して通常発生される。回路10は電源電圧 V_s と基準電圧 V_{ref} の最小電圧差 D_r を供給する。回路10は、バイポーラNPNトランジスタ11、このトランジスタ11のベースとコレクタの間に接続された抵抗12、並びにトランジスタ11のベースとアースの間で直列に接続されたダイオード13及び14（ただしダイオード13はツェナーダイオードである）を備えている。トランジスタ11のコレクタは電源 V_s に接続され、そしてエミッタは回路10の出力を定める。

【0015】回路10中のRが抵抗12の抵抗値であり、 h_{fe} がトランジスタ11の小信号の電流利得であり、且つ I_e がトランジスタ11のエミッタ電流であるならば、そしてこの例における様に $V_s < V_s + V_{be}$ （ V_s 、 V_{be} はそれぞれツェナーダイオード13、ダイオード14の電圧降下である）であるならば、

$$[0016] \quad D_r = V_s - V_{ref} = R \times I_e / h_{fe} + V_{be}$$

【0017】であり、構成部品のサイズを適切に選ぶことにより1Vまで低下され、従って、

$$[0018] \quad V_{ref} = V_s - D_r = 1V \quad \dots (2)$$

【0019】である。

【0020】しかしながら、6Vの電源電圧 V_s で通常作動するMOS半ブリッジを必要とする自動車用の場合における様に図3の回路10が実施不能である状況が存在する。上述したMOS半ブリッジは又5.4Vの最低電源電圧 V_{smin} で作動でき、即ちトランジスタ M_1 の上側ドライバTは少なくとも9.3Vの出力電圧 V_{cr} を供給する。

【0021】事実、かなり良好な飽和抵抗を得るには、少なくとも4Vの電圧降下 V_{gs} を提供する様な仕方ではDMOSトランジスタが駆動されなければならない。これは、トランジスタ M_2 の場合には、最低電源電圧 V_{smin} でさえ簡単に得られる。しかし、トランジスタ M_1 では簡単にいかず、5.4Vの最低電源電圧 V_{smin} では $V_{out} = 5.3V$ 従って $V_{cr} = 9.3V$ を要する。

【0022】しかしながら、式(2)によれば、図3の回路10は多くても4.4Vの基準電圧 V_{ref} を供給し、従って式(1)によれば、チャージ・ポンプ回路2は下記の

出力電圧 V_{ce} を供給する。

【0023】

$$V_{ce} = 5.4V - 1.4V + 4.4V = 8.4V$$

【0024】トランジスタ M_1 のソース・ドレイン電圧降下は従って、

$$V_{ds1} = V_{ce} - V_{out} = 3.1V$$

であり、これは所要値を良く下回る。

【0025】基準電圧 V_{ref} を発生するための他の既知解決策は、トランジスタ11の代わりに、図4に示された様にPNPトランジスタを使用する。このPNPトランジスタ15は、そのエミッタが電源 V_s に接続され且つそのコレクタが回路の出力を定める。抵抗16はトランジスタ15のベース・エミッタ接合と並列に接続され、電流源17はトランジスタ15のベースとアースの間に接続され、そしてツェナーダイオード18は出力端子とアースの間に接続されている。

【0026】

【発明が解決しようとする課題】しかしながら、トランジスタ15のエミッタ・コレクタ飽和電圧に等しい $D_v = V_s - V_{ref}$ （従って図3の回路の D_v より低い）を供給するにも拘わらず、上述した解決策は下記の理由により使用されない。

(a) 負荷が要する最大出力電流 I_{out} は、トランジスタ15によっていつも、不要な時でさえ（従って消費電力が高くなる）供給されなければならない。

(b) 面積が一定の場合に、PNPトランジスタはNPトランジスタよりもはるかに小さい電流しか通電せず、そしてツェナーダイオードは全ての電流に耐えるサイズでなければならない（従って集積回路のサイズが増大する）。

【0027】この発明の目的は、低い電源電圧でさえMOS半ブリッジを作動させられるMOS半ブリッジの駆動回路を得ることである。

【0028】

【課題を解決するための手段】この発明に係るMOS半ブリッジの駆動回路は、電源ラインに接続され、基準電圧 V_{ref} を供給する電圧発生器と、前記電源ラインに接続される第1の入力端子、前記基準電圧が印加される第2の入力端子、及びドライブ電位を供給する出力端子を有する昇圧回路とを備え、前記電圧発生回路は、前記昇圧回路の出力端子に接続された入力端子及びこの入力端子に接続される正帰還手段を有している。

【0029】

【作用】この発明では、昇圧回路が正常な動作状態では電源電圧 V_s よりも高く且つ基準電圧 V_{ref} と共に増加するドライブ電圧 V_{ce} を供給し、電圧発生回路中の正帰還手段がドライブ電圧 V_{ce} の増大につれて基準電圧 V_{ref} を最高の正常動作値まで増加する。

【0030】

【実施例】この発明の望ましい実施例を添付図面に示し

た例について説明する。なお、同一符号は同一部品を表す。図5の駆動回路20は、事実上、電圧発生回路としての直線性電圧調整器21、点弧回路22、昇圧回路としてのチャージ・ポンプ回路23、コンパレータ段24、負荷25、下側ドライバBのグループ、及び上側ドライバTのグループを備えている。

【0031】直線性電圧調整器21（電圧源を定める）はオペアンプ30及びトランジスタ望ましくはVDMOSトランジスタ32を有し、オペアンプ30の出力端子31はトランジスタ32のゲート端子に接続され、そのドレイン端子は第1基準電位ラインとしての電源ライン29（これには電源電圧 V_s が印加されている）に接続され且つそのソース端子は直列接続された2個の帰還抵抗33及び34を介してアースされている。トランジスタ32のソース端子と帰還抵抗33の接続点は直線性電圧調整器21の出力端子35になり、ここに基準電圧 V_{ref} が発生される。帰還抵抗33と34の接続点はオペアンプ30の反転端子-に接続されている。オペアンプ30の非反転端子+には、例えばいわゆるバンドギャップ回路によって発生された正確で温度変動の影響を受けない電圧 V_{bg} が印加される。オペアンプ30は電源ライン29に接続された電源入力端子36も有している。直線性電圧調整器21は、2個のPチャネルMOSトランジスタ38及び39から成るカレント・ミラー回路37も有している。トランジスタ38のゲート端子とドレイン端子は短絡され且つ電流源40に接続されている。トランジスタ39のドレイン端子はオペアンプ30の出力端子31に接続されている。両方のトランジスタ38及び39のソース端子はライン43によりチャージ・ポンプ回路23の出力端子42に接続されている。

【0032】点弧回路22はバイポーラNPNTランジスタ44を有し、そのコレクタが電源ライン29に直接々続され、ベースが抵抗45を介して電源ライン29に接続され、そしてエミッタが直線性電圧調整器21の出力端子35に接続されると共にチャージ・ポンプ回路23の入力端子46に接続されている。図2の回路における様に、チャージ・ポンプ回路23もコンデンサ4を有し、このコンデンサ4はその一端がOSC3の出力端子に接続され且つ他端がダイオード6のカソードに接続されている。ダイオード6のアノードは電源ライン29に接続されている。ダイオード6のカソードはダイオード7のアノードにも接続され、ダイオード7のカソードは出力端子42に接続され、ここに出力電圧 V_{ce} が発生される。コンデンサ5は出力端子42とアースの間に接続されている。

【0033】コンパレータ段24は、点弧回路22をターンオフするためのスイッチ手段を定め、コンパレータ（COMP）48を有している。このCOMP48は、その非反転入力端子+がチャージ・ポンプ回路23の出力端子42に接続され且つ反転入力端子-に基準電圧 V_{ref}

r_s を受ける。COMP 48の出力端子はMOSトランジスタ49のゲート端子に接続され、そのソース端子がアースされ、ドレイン端子が点弧回路22中のトランジスタ44のベースに接続されている。

【0034】負荷25及び下側ドライバBは直線性電圧調整器21の出力端子35に接続されるが、上側ドライバTはチャージ・ポンプ回路23の出力端子42に接続されている。半ブリッジ1.1~1.Nの下側トランジスタ $M_{1.1} \sim M_{1.N}$ を半ブリッジの動作周波数に応じて切り換えることによりそれぞれ駆動するための下側ドライバBはそれぞれ同期入力信号 $IN_{.1} \sim IN_{.N}$ を受ける。これら同期入力信号 $IN_{.1} \sim IN_{.N}$ はそれぞれ上側ドライバTにも供給され、これら上側ドライバTは同じ半ブリッジ1.1~1.Nの上側トランジスタ $M_{1.1} \sim M_{1.N}$ を下側ドライバBと同じ方法であるが逆相で且つ上述した様により高い電圧で駆動する。

【0035】図5の駆動回路20は以下に述べる様に作動する。電源ライン29での電源電圧 V_s が5.4Vであると、点弧回路22は1Vの電圧降下 V_t を与える様に設計されているので、 $V_{ref} = 4.4V$ である。

【0036】この状態において、チャージ・ポンプ回路23中のOSC3が作動すると、式(1)に基づいて出力電圧

$$\begin{aligned} V_{cr} &= V_s + V_{ref} - 2V_{be} \\ &= 5.4 + 4.4 - 1.4 = 8.4V \end{aligned}$$

が発生される。

【0038】上述した出力電圧 V_{cr} がカレント・ミラー回路37へ供給されるので、このカレント・ミラー回路37はトランジスタ32のゲート端子を出力電圧 V_{cr} まで上昇させてトランジスタ32を駆動する。従って、トランジスタ32は

$$【0039】V_{cs} = 8.4 - 4.4 = 4V$$

【0040】の電圧降下 V_{cs} （過駆動）を呈する。

【0041】これはトランジスタ32を飽和させるのに充分であるので、基準電圧 V_{ref} は上昇し始め従って式(1)に基づいて出力電圧 V_{cr} を相応に増加させ且つ基準電圧 V_{ref} を更に増加させることになる。積極的な作用が従って開始され、これはトランジスタ32が十分に飽和され且つ（トランジスタ32のドレイン・ソース飽和電圧 $V_{ds,sat}$ が100mVとすれば）基準電圧 V_{ref} が下記の最大値に達するまで続く。

$$\begin{aligned} 【0042】V_{ref} &= 5.4V - 100mV = 5.3V \\ V_{cr} &= 5.4 + 5.3 - 1.4 = 9.3V \end{aligned}$$

【0043】正常な動作状態に達する前に、トランジスタ44が最終的にオフになるまで、点弧回路22中のトランジスタ44のベース・エミッタ接合での電圧降下の減少により V_s と V_{ref} の差も減少させられる。

【0044】正常な動作状態では、上側ドライバT及び

下側ドライバBはゲート・ソース接合に少なくとも4Vの電圧 V_{cs} が供給されるので正しく機能する。

【0045】実際には、積極的な作用従ってドライバ及びそれぞれの半ブリッジの動作は、等価ドレイン・ソース飽和抵抗が最適値よりも小さくても、より低い電源電圧（ $V_s = 4V$ ）で開始される。

【0046】特に高い電源電圧 V_s （これは60V程にもなり得る）が存在する場合に、そして特にチャージ・ポンプ回路23の出力電圧 V_{cr} が駆動回路20を確実にターンオンするような値である時且つ直線性電圧調整器21の基準電圧 V_{ref} が正常な動作値に達する前に、点弧回路22はコンパレータ段24によってもターンオフされる。事実、出力電圧 V_{cr} がコンパレータ48の反転入力端子における基準電圧 V_{ra} を超えるとすぐに、コンパレータ48の出力は低レベルから高レベルへ切り換わり従ってトランジスタ49をターンオンし、そしてトランジスタ49のドレイン端子での電圧は低レベルになり従ってトランジスタ44のベース・エミッタ接合を逆バイアスする。

【0047】その結果、電源電圧 V_s が高い時でさえ、セット値に達する際の直線性電圧調整器21の基準電圧 V_{ref} は電源電圧 V_s と無関係であるのでこの値を維持する。点弧回路22を積極的にターンオフする（トランジスタ44のベースに0Vに近い電圧を印加することによる）ことの別な利点は、これがトランジスタ44をブレイクダウン電圧 BV_{cs} に耐えさせることである。

【0048】トランジスタ32がもはや飽和されない値を超えて電源電圧 V_s が増加するので、低い電源電圧 V_s では基準電圧 V_{ref} を供給できないオペアンプ30は正確で温度安定性が良く、しかも調整された下記の基準電圧 V_{ref} を供給する。

$$【0049】V_{ref} = V_{bg} (1 + R_2 / R_1)$$

【0050】ただし、 R_1 、 R_2 はそれぞれ帰還抵抗33、34の抵抗値である。これら抵抗値を適切に選ぶことにより10Vの最適基準電圧 V_{ref} を得ることが可能である。

【0051】

【発明の効果】図5の回路の利点は以上の説明から明らかであろう。1個以上のMOS半ブリッジをターンオンして駆動することに加え、5.4Vの低い電源電圧でさえ、この発明の駆動回路20は、最良の可能な態様でMOS半ブリッジを駆動するのに必要とされる様な例えば10Vの最適基準電圧も発生する。この駆動回路20は又設計が簡単で且つ例えば集積回路として容易に実施できる。

【0052】当業者には明らかな様に、この発明の範囲を逸脱しない限り、ここに例示して説明した様な駆動回路20を種々変更することができる。特に、点弧回路22が所要の電流を供給するのに不十分ならば、図6に示す様な点弧回路22'で置き換えても良い。

【0053】1個のトランジスタ44の代わりに、点弧回路22'は2個のトランジスタ53及び54を有することを特徴とする。PNPトランジスタ53は、そのエミッタが電源ライン29に接続され、そのベースが抵抗45の一端及びコンパレータ段24中のトランジスタ49のドレイン端子に接続され且つそのコレクタがNPNトランジスタ54のベースに接続されている。トランジスタ54は、そのコレクタが電源ライン29に接続され且つそのエミッタが直線性電圧調整器21の出力端子35に接続されている。最後に、電流 I_1 を供給する電流源55はトランジスタ53のベースとアースの間に設けられている。

【0054】図6の点弧回路22'は、電圧降下 $V_1 = V_s - V_{REF} = 1V$ を提供するが、点弧回路22に比べて

【0055】 $I_1 = \beta_1 \beta_2 I_2$

【0056】に等しい大きな出力電流 I_1 を供給する。

ただし、 β_1 、 β_2 はそれぞれトランジスタ53、54の*

* 電流利得である。

【図面の簡単な説明】

【図1】この発明に係る駆動回路が設計されるMOS半ブリッジの簡単化された配線図である。

【図2】周知のチャージ・ポンプ回路の配線図である。

【図3】周知の基準電圧発生回路の配線図である。

【図4】周知の他の基準電圧発生回路の配線図である。

【図5】この発明に係る駆動回路の配線図である。

【図6】図5に示した駆動回路の一部を変更した配線図である。

【符号の説明】

1.1~1.N MOS半ブリッジ

20 駆動回路

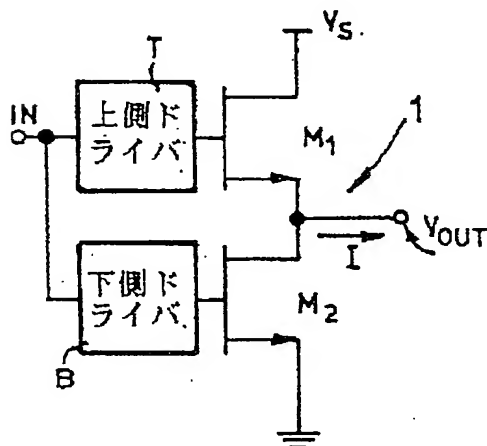
21 直線性電圧調整器

22, 22' 点弧回路

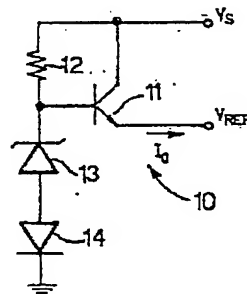
23 チャージ・ポンプ回路

24 コンパレータ段

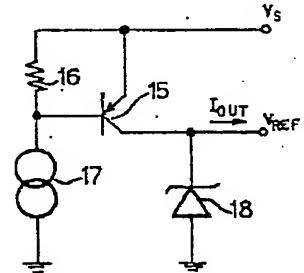
【図1】



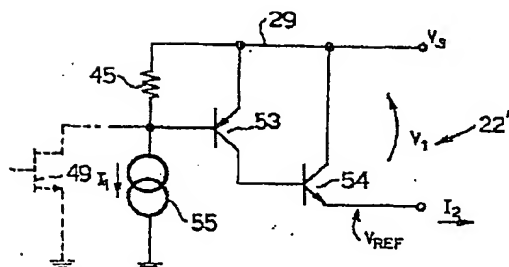
【図3】



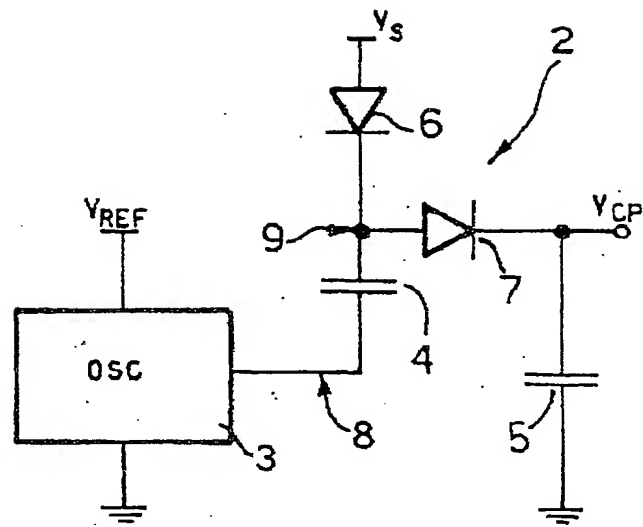
【図4】



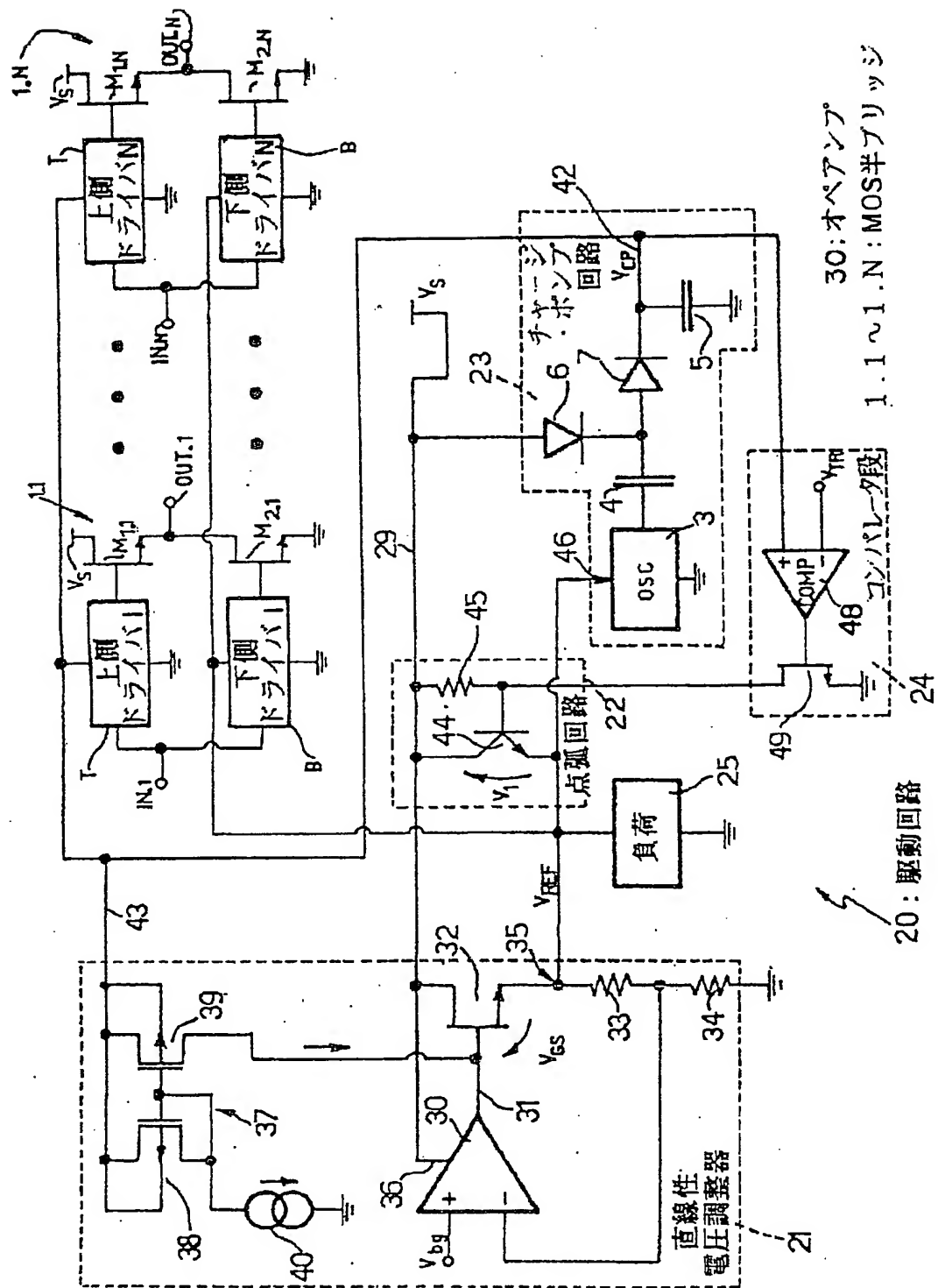
【図6】



【図2】



【図5】



フロントページの続き

(72)発明者 マルチェロ・レオーネ
イタリア国、20147 ミラノ、ヴィア・ジ
アンベリッノ 143

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.